



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11168447 A**(43) Date of publication of application: **22.06.99**

(51) Int. Cl

**H04J 13/00**(21) Application number: **09335924**(22) Date of filing: **05.12.97**(71) Applicant: **FUJITSU LTD**(72) Inventor: **TANIGUCHI SHOJI  
KUROIWA KOICHI****(54) INVERSE SPECTRUM SPREADING CIRCUIT  
AND SPREAD SPECTRUM RECEIVER USING  
THE SAME**

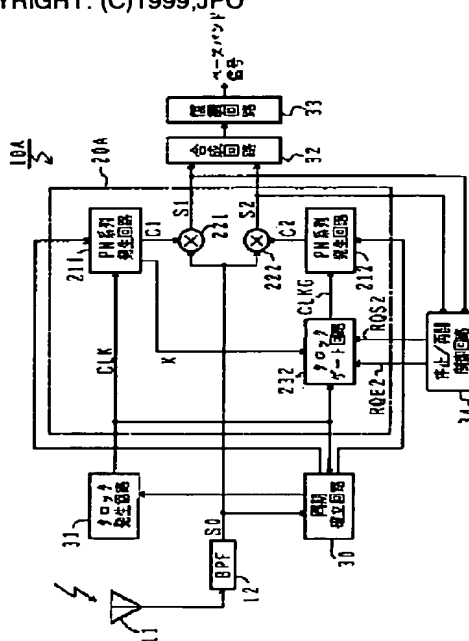
corresponding to the stop request while (N-1) pieces of clocks are counted.

COPYRIGHT: (C)1999,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce power consumption.

**SOLUTION:** Concerning an inverse spectrum spreading circuit 20A for inversely spreading the spectrum of a spread spectrum signal S0, based on the outputs of PN sequence generating circuits 211 and 212 for generating PN sequences synchronously with a clock CLK, this circuit has a clock gate circuit 232 for stopping the supply of a clock CLKG to the PN sequence generating circuit 212 while holding a value corresponding to the phase of the PN sequence from the PN sequence generating circuit 211 as a restart value corresponding to a stop request RQE2 and for restarting the supply of the clock CLKG to the PN sequence generating circuit 212 after waiting the coincidence of the value corresponding to the phase of the PN sequence from the PN sequence generating circuit 211 with the restart value corresponding to a restart request RQS2. At the other clock gate circuit, the supply of the clock to the PN sequence generating circuit is temporarily stopped



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168447✓

(43)公開日 平成11年(1999)6月22日

(51) Int.Cl.<sup>6</sup>

識別記号

FI

H O 4 J 13/00

H 0 4 J 13/00

A

審査請求 未請求 請求項の数 9 O.L (全 10 頁)

(21)出願番号 特願平9-335924

(22)出願日 平成9年(1997)12月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 谷口 章二

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 黒岩 功一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 弁理士 松本 眞吉

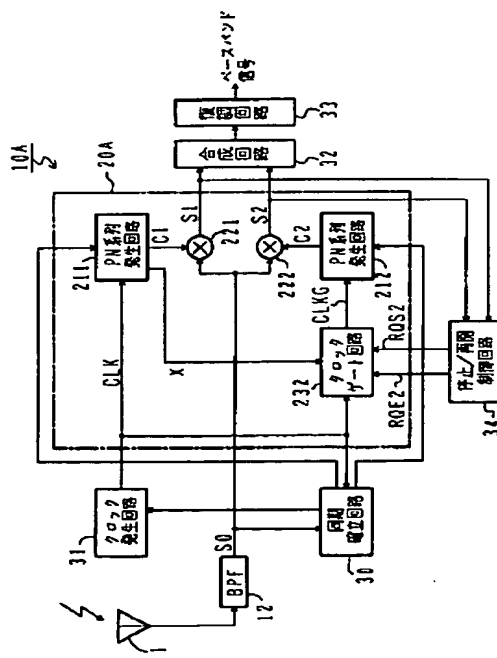
(54) 【発明の名称】 スペクトル逆拡散回路及びこれを用いたスペクトル拡散受信機

(57) 【要約】

【課題】消費電力を低減する。

【解決手段】クロックCLKに同期してPN系列を発生するPN系列発生回路211及び212の出力に基づき、スペクトル拡散信号S0をスペクトル逆拡散するスペクトル逆拡散回路20Aにおいて、停止要求RQE2に応じて、PN系列発生回路211のPN系列の位相に対応した値を再開値として保持し且つPN系列発生回路212へのクロックCLKGの供給を停止させ、再開要求RQS2に応じて、PN系列発生回路211のPN系列の位相に対応した値が該再開値に一致するのを待つてPN系列発生回路212へのクロックCLKGの供給を再開させるクロックゲート回路232を有する。他のクロックゲート回路では、停止要求に応じて、PN系列発生回路へのクロック供給を、クロックを(N-1)個計数する間一時停止させる。

本発明の第1実施形態に係るスペクトル拡散受信機の概略構成を示すブロック図



## 【特許請求の範囲】

【請求項1】 クロックに同期して第1PN系列を発生する第1PN系列発生回路の出力に基づき、スペクトル拡散信号をスペクトル逆拡散し、該クロックに同期して第2PN系列を発生する第2PN系列発生回路の出力に基づき、該スペクトル拡散信号をスペクトル逆拡散するスペクトル逆拡散回路において、

第1停止要求に応じて、該第1PN系列の位相に対応した値を再開値として保持し且つ該第2PN系列発生回路への該クロックの供給を停止させ、第1再開要求に応じて、該第1PN系列の位相に対応した値が該再開値に一致するのを待って該第2PN系列発生回路への該クロックの供給を再開させるクロックゲート回路、を有することを特徴とするスペクトル逆拡散回路。

【請求項2】 上記クロックゲート回路は、上記第1停止要求に応じて、上記1PN系列の位相に対応した値を再開値として保持する再開値保持レジスタと、

該第1PN系列の位相に対応した値と該再開値保持レジスタの出力値との一致を検出する一致検出回路と、

該第1停止要求に応じて、上記第2PN系列発生回路への上記クロックの供給を停止させ、第1再開要求を受けた後、該一致検出回路が該一致を検出してから該第2PN系列発生回路への該クロックの供給を再開させるゲेटィッドクロック生成回路と、

を有することを特徴とする請求項1記載のスペクトル逆拡散回路。

【請求項3】 上記クロックゲート回路は、上記クロックを計数してその計数値を上記第1PN系列の位相に対応した値とするカウンタと、

上記第1停止要求に応じて、該カウンタの計数値を再開値として保持する再開値保持レジスタと、

該第1カウンタの計数値と該再開値保持レジスタの出力値との一致を検出する一致検出回路と、

該第1停止要求に応じて、上記第2PN系列発生回路への上記クロックの供給を停止させ、第1再開要求を受けた後、該一致検出回路が該一致を検出してから該第2PN系列発生回路への該クロックの供給を再開させるゲेटィッドクロック生成回路と、

を有することを特徴とする請求項2記載のスペクトル逆拡散回路。

【請求項4】 第2停止要求に応じて上記第2PN系列の位相に対応した値を再開値として保持し、且つ、上記第2PN系列発生回路への上記クロックの供給を停止させ、第2再開要求に応じて、該第2PN系列の位相に対応した値が該再開値に一致するのを待って上記第1PN系列発生回路への該クロックの供給を再開させる第2クロックゲート回路、

を有することを特徴とする請求項1乃至3のいずれか1つに記載のスペクトル逆拡散回路。

【請求項5】 上記第1PN系列発生回路及び上記第2PN系列発生回路はいずれも、縦続接続された複数のイクスクルーシブオアゲートがシフトレジスタとループ状に接続され、該イクスクルーシブオアゲートの一方の入力端に該シフトレジスタのビット出力が供給されており、

上記第1PN系列の位相に対応した値は、該シフトレジスタの値である、

ことを特徴とする請求項1記載のスペクトル逆拡散回路。

【請求項6】 クロックに同期してPN系列を発生するPN系列発生回路の出力に基づき、スペクトル拡散信号をスペクトル逆拡散するスペクトル逆拡散回路において、

停止要求に応じて、該PN系列発生回路への該クロックの供給を、該クロックを(PN-1)個計数する間一時停止させるクロックゲート回路を有し、

ここに、N=(PN系列の周期)/(該クロックの周期)であり、Pは自然数であることを特徴とするスペクトル逆拡散回路。

【請求項7】 請求項1乃至6のいずれか1つに記載のスペクトル逆拡散回路を有することを特徴とするスペクトル拡散受信機。

【請求項8】 請求項1記載のスペクトル逆拡散回路と、

上記スペクトル拡散信号をPN系列で同期捕捉して上記第1PN系列発生回路又は上記第1PN系列発生回路の出力位相を定める同期確率回路と、

該スペクトル逆拡散回路から出力されたスペクトル逆拡散信号の強さに基づいて上記第1停止要求を出力し、該スペクトル逆拡散信号の強さ又は上記クロック供給の停止時間に基づいて上記第1再開要求を出力する停止/再開制御回路と、

該スペクトル逆拡散回路から出力された複数のスペクトル逆拡散信号の強さに基づいて1つのスペクトル逆拡散信号を得る合成回路と、

を有することを特徴とするスペクトル拡散受信機。

【請求項9】 請求項6記載のスペクトル逆拡散回路と、

上記スペクトル拡散信号をPN系列で同期捕捉して上記PN系列発生回路の出力位相を定める同期確率回路と、該スペクトル逆拡散回路から出力されたスペクトル逆拡散信号の強さに基づいて上記停止要求を出力する一時停止制御回路と、

を有することを特徴とするスペクトル拡散受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スペクトル逆拡散回路及びこれを用いたスペクトル拡散受信機に関する。

【0002】

【従来の技術】携帯電話のような移动通信端末においては、低消費電力化が要求されている。図10は、CDMA (Code Division Multiple Access) 方式の移动通信端末に含まれている従来のスペクトル拡散受信機10の概略構成を示す。アンテナ11で受信した信号のうち、バンドパスフィルタ12を通ったスペクトル拡散信号S0は、スペクトル逆拡散回路20に供給される。スペクトル逆拡散回路20では、スペクトル拡散信号S0とPN系列発生回路211の出力信号C1とが乗積回路221で乗積されて $S1 = C1 \cdot S0$ が出力され、スペクトル拡散信号S0とPN系列発生回路212の出力信号C2とが乗積回路222で乗積されて $S2 = C2 \cdot S0$ が出力される。

【0003】PN系列発生回路211では、例えば図11(A)に示す如く、縦続接続されたフリップフロップ2110~2119からなるシフトレジスタ211Aに、縦続接続されたイクスクルーシブオアゲート211B、211C及び211Dがループ状に接続され、イクスクルーシブオアゲート211B、211C及び211Dの一方の入力端にシフトレジスタ211Aのタップから取り出されたビットが供給される。フリップフロップ2110~2119のクロック入力端には、クロックCLKが供給される。フリップフロップ2119の出力「1」又は「0」は、変換回路211Eによりそれぞれ1又は-1の電圧に変換され、信号C1として出力される。PN系列発生回路211で生成されるPN系列の周期は、M系列(Maximum Length Code)の場合、クロックCLKの周期の1023倍となる。以下、PN系列の周期は、クロックCLKの周期のN倍であるとする。

【0004】図10において、PN系列発生回路212はPN系列発生回路211と同一構成であり、PN系列は互いに同一であるが、一般に信号C1とC2との位相は互いに異なっている。この位相は、PN系列発生回路211及び212内のシフトレジスタに初期値を設定することにより定められる。この設定は、スペクトル拡散信号S0に基づいて同期確立回路30により行われる。

【0005】同期確立回路30は、例えば図11(B)に示すような同期捕捉用マッチドフィルタ30aを備えている。この回路は、N個の遅延素子が縦続接続されたアナログシフトレジスタ301、例えばCCD又はSAW素子を有し、PN符号の1に相当する遅延素子の出力が加算回路302で加算され、PN符号の-1に相当する遅延素子の出力が加算回路303で加算され、加算回路302の出力と加算回路303の出力との差が減算回路304で算出される。アナログシフトレジスタ301の入力端にスペクトル拡散信号S0が供給され、入力信号列とPN系列との相関値が減算回路304から得られる。この相関値がピーク値になったことを検出することにより同期補足が行われ、この時、PN系列発生回路211又はPN系列発生回路212内のシフトレジスタに

初期値がロードされる。同期確立回路30は、同期補足を行った後、同期追跡を行う。

【0006】PN系列発生回路211、212及び同期確立回路30の動作は、クロック発生回路31からのクロックCLKに同期して行われ、クロックCLKの位相は同期確立回路30により調整される。ここで図12に示す如く、スペクトル拡散受信機10は、マルチパスを形成している直接波SS1と反射波SS2とを受信し、直接波SS1と反射波SS2とがそれぞれ図10の信号S1とS2とに対応しているとする。この場合、信号S2は信号S1よりも位相が遅れている。信号S1及びS2は、例えばPSK変調された信号である。

【0007】合成回路32は、信号S1とS2とを内部のバンドパスフィルタに通して、スペクトル逆拡散回路20で拡散された広帯域の信号を除去し、信号S1の位相を遅延させて、信号S1とS2とを同相にし、両者を加算して出力する。この出力は、復調回路33で復調されてデジタルのベースバンド信号(伝送情報)が取り出される。

【0008】マルチパスを考慮したスペクトル逆拡散回路20は、直接波SS1及び反射波SS2が弱い場合には有効である。

【0009】

【発明が解決しようとする課題】しかし、同期確立回路30により同期補足が行われてPN系列発生回路211及び212内のシフトレジスタに初期値がロードされた後は、反射波SS2の信号が弱くなったために直接波SS1のみを使用すればよい場合にも、同期を維持するためにPN系列発生回路212にクロックCLKを供給して、PN系列発生回路212を動作させなければならず、無駄な電力を消費していた。

【0010】本発明の目的は、このような問題点に鑑み、消費電力を低減することが可能なスペクトル逆拡散回路及びこれを用いたスペクトル拡散受信機を提供することにある。

【0011】

【課題を解決するための手段及びその作用効果】請求項1のスペクトル逆拡散回路では、クロックに同期して第1PN系列を発生する第1PN系列発生回路の出力に基づき、スペクトル拡散信号をスペクトル逆拡散し、該クロックに同期して第2PN系列を発生する第2PN系列発生回路の出力に基づき、該スペクトル拡散信号をスペクトル逆拡散するスペクトル逆拡散回路において、第1停止要求に応じて、該第1PN系列の位相に対応した値を再開値として保持し且つ該第2PN系列発生回路への該クロックの供給を停止させ、第1再開要求に応じて、該第1PN系列の位相に対応した値が該再開値に一致するのを待って該第2PN系列発生回路への該クロックの供給を再開させるクロックゲート回路を有する。

【0012】このスペクトル逆拡散回路によれば、第2

## 5

PN系列発生回路の動作再開時に同期を再確保しつつ、第2PN系列発生回路での無駄な消費電力を防止することができるという効果を奏する。請求項2のスペクトル逆拡散回路では、請求項1において、上記クロックゲート回路は、上記第1停止要求に応じて、上記1PN系列の位相に対応した値を再開値として保持する再開値保持レジスタと、該第1PN系列の位相に対応した値と該再開値保持レジスタの出力値との一致を検出する一致検出回路と、該第1停止要求に応じて、上記第2PN系列発生回路への上記クロックの供給を停止させ、第1再開要求を受けた後、該一致検出回路が該一致を検出してから該第2PN系列発生回路への該クロックの供給を再開させるゲーティッドクロック生成回路とを有する。

【0013】請求項3のスペクトル逆拡散回路では、請求項2において、上記クロックゲート回路は、上記クロックを計数してその計数値を上記第1PN系列の位相に対応した値とするカウンタと、上記第1停止要求に応じて、該カウンタの計数値を再開値として保持する再開値保持レジスタと、該第カウンタの計数値と該再開値保持レジスタの出力値との一致を検出する一致検出回路と、該第1停止要求に応じて、上記第2PN系列発生回路への上記クロックの供給を停止させ、第1再開要求を受けた後、該一致検出回路が該一致を検出してから該第2PN系列発生回路への該クロックの供給を再開させるゲーティッドクロック生成回路とを有する。

【0014】PN系列発生回路の構成によっては、PN系列の位相に対応した値のビット数が多くなるが、このスペクトル逆拡散回路によれば、該ビット数よりも再開値保持レジスタのビット数を少なくすることができ、さらに一致検出回路の回路規模も小さくすることができるという効果を奏する。請求項4のスペクトル逆拡散回路では、請求項1乃至3のいずれか1つにおいて、第2停止要求に応じて上記第2PN系列の位相に対応した値を再開値として保持し、且つ、上記第2PN系列発生回路への上記クロックの供給を停止させ、第2再開要求に応じて、該第2PN系列の位相に対応した値が該再開値に一致するのを待って上記第1PN系列発生回路への該クロックの供給を再開させる第2クロックゲート回路を有する。

【0015】このスペクトル逆拡散回路によれば、不必要時のクロック供給停止を第1PN系列発生回路に対しても行うことができるので、これを行うことができない場合よりもスペクトル逆拡散回路の消費電力を低減することができるという効果を奏する。請求項5のスペクトル逆拡散回路では、請求項1において、上記第1PN系列発生回路及び上記第2PN系列発生回路はいずれも、縦続接続された複数のイクスクルーシブオアゲートがシフトレジスタとループ状に接続され、該イクスクルーシブオアゲート的一方の入力端に該シフトレジスタのビット出力が供給されており、上記第1PN系列の位相に対

## 6

応した値は、該シフトレジスタの値である。

【0016】請求項6のスペクトル逆拡散回路では、クロックに同期してPN系列を発生するPN系列発生回路の出力に基づき、スペクトル拡散信号をスペクトル逆拡散するスペクトル逆拡散回路において、停止要求に応じて、該PN系列発生回路への該クロックの供給を、該クロックを $(PN-1)$ 個計数する間一時停止させるクロックゲート回路を有し、ここに、 $N = (PN \text{ 系列の周期}) / (\text{該クロックの周期})$ であり、 $P$ は自然数である。

【0017】このスペクトル逆拡散回路によれば、クロック供給再開が自動的に行われるので、請求項1の場合よりも構成が簡単になるという効果を奏する。請求項7のスペクトル拡散受信機では、請求項1乃至6のいずれか1つに記載のスペクトル逆拡散回路を有する。請求項8のスペクトル拡散受信機では、請求項1記載のスペクトル逆拡散回路と、上記スペクトル拡散信号をPN系列で同期捕捉して上記第1PN系列発生回路又は上記第1PN系列発生回路の出力位相を定める同期確率回路と、該スペクトル逆拡散回路から出力されたスペクトル逆拡散信号の強さに基づいて上記第1停止要求を出力し、該スペクトル逆拡散信号の強さ又は上記クロック供給の停止時間に基づいて上記第1再開要求を出力する停止/再開制御回路と、該スペクトル逆拡散回路から出力された複数のスペクトル逆拡散信号の強さに基づいて1つのスペクトル逆拡散信号を得る合成回路とを有する。

【0018】請求項9のスペクトル拡散受信機では、請求項6記載のスペクトル逆拡散回路と、上記スペクトル拡散信号をPN系列で同期捕捉して上記PN系列発生回路の出力位相を定める同期確率回路と、該スペクトル逆拡散回路から出力されたスペクトル逆拡散信号の強さに基づいて上記停止要求を出力する一時停止制御回路とを有する。

【0019】

【発明の実施の形態】以下、図面に基づいて本発明の実施形態を説明する。

【第1実施形態】図1は、本発明の第1実施形態に係るスペクトル拡散受信機10Aの概略構成を示す。

【0020】このスペクトル拡散受信機10Aは、図10のスペクトル拡散受信機10に、クロックゲート回路232と停止/再開制御回路34とを付加した構成になっている。クロックゲート回路232は、スペクトル逆拡散回路20Aの構成要素であり、クロック発生回路31からのクロックCLKをCLKGとしてPN系列発生回路212に供給する。

【0021】停止/再開制御回路34は、信号S2を使用する必要がない場合、例えば、信号S2の強さ（振幅又は強度）と信号S1の強さとの比の値が設定値以下である場合又は信号S1の強さが設定値より大きくて信号S1のみで充分である場合には、クロックゲート回路2

32に対し停止要求信号RQE2のパルスを供給する。そして、信号S1の強さが設定値以下になった場合又は停止要求信号RQE2のパルスを供給してから設定時間経過したため信号S2の使用を再考慮する場合には、クロックゲート回路232に対し再開要求信号RQS2のパルスを供給する。

【0022】クロックゲート回路232は、停止要求信号RQE2のパルスにตอบสนองして、PN系列発生回路212へのクロックCLKGの供給を停止させる。クロックCLKGの供給を再開させる場合、PN系列発生回路212が、クロックCLKGの供給を停止させなかったときと同じ状態になるようにする必要がある。そこで、クロックゲート回路232は、停止要求信号RQE2のパルスにตอบสนองして、PN系列発生回路211内の例えば図11(A)に示すシフトレジスタ211Aの値Xを再開値Aとして保持しておき、停止/再開制御回路34から再開要求信号RQS2のパルスを受けた後、XがAに一致するのを待って、クロックCLKGの供給を再開させる。

【0023】これにより、PN系列発生回路212の動作再開時に同期を再確保しつつ、PN系列発生回路212での無駄な消費電力を防止することができる。図2は図1中のクロックゲート回路232の構成例を示し、図3は図2中のゲーティッドクロック生成回路の構成例を示す。図4は、図2及び図3の回路の動作を示すタイムチャートである。

【0024】停止要求信号RQE2のパルスは、例えばDフリップフロップにより構成された同期化回路40により、クロックCLKと同期化され、停止要求信号RQESとしてレジスタ41のクロック入力端CKに供給される。停止要求信号RQESのパルスの立ち下りのタイミングで、PN系列発生回路211内のシフトレジスタの内容Xがレジスタ41に保持される。保持された値Aは、変化する値Xと、一致検出回路42により比較され、両者が一致すると、一致信号EQのパルスがゲーティッドクロック生成回路43に供給される。

【0025】ゲーティッドクロック生成回路43は、クロックCLKをクロックCLKGとして出力し、停止要求信号RQESのパルスにตอบสนองしてこの出力を停止させ、再開要求信号RQS2のパルスを受けた後、一致信号EQのパルスを待って、クロックCLKGの出力を再開する。ゲーティッドクロック生成回路43では、図3に示す如く、アンドゲート431が開かれているとき、クロックCLKがアンドゲート431を通りクロックCLKGとして出力される。停止要求信号RQESのパルスがRSフリップフロップ回路432のセット入力端Sに供給されてRSフリップフロップ回路432がセットされ、RSフリップフロップ回路432の反転出力端\*Qから出力されるゲート信号GSが低レベルとなり、アンドゲート431が閉じられてクロックCLKGの供給

が停止される。再開要求信号RQS2のパルスは、同期化回路433によりクロックCLKと同期化され、その信号がRSフリップフロップ回路434のセット入力端Sに供給されてRSフリップフロップ回路434がセットされ、RSフリップフロップ回路434の非反転出力端Qが高レベルとなってアンドゲート435が開かれる。この後、一致信号EQのパルスがアンドゲート435を通してRSフリップフロップ回路432及び434のリセット入力端Rに供給され、RSフリップフロップ回路432及び434がリセットされて、アンドゲート435が閉じられ且つアンドゲート431が開かれる。これにより、クロックCLKGの供給が再開される。

【0026】【第2実施形態】図1のPN系列発生回路211の構成によっては、PN系列の位相に対応した値のビット数が多くなる。これにより、レジスタ41のビット数が多くなり、一致検出回路42の回路規模も大きくなる。そこで、この第2実施形態では、図2のクロックゲート回路232の替わりに、図5に示すクロックゲート回路232Aを用いている。

【0027】この回路では、クロックCLKをN進カウンタ44で計数し、その計数値Yを図1のPN系列発生回路211の出力位相に対応させている。すなわち、この計数値Yを図2のXの替わりに用いている。停止要求信号RQESのパルスの立ち下りのタイミングで、計数値Yがレジスタ41に値Cとして保持され、計数値Yと値Cとが一致検出回路42で比較される。N進カウンタ44の初期値は任意の値でよい。

【0028】なお、N進カウンタ44の替わりに、最大計数値がNより大きいカウンタを用い、PN系列の周期でこのカウンタの計数値を初期化する構成であってもよい。

【第3実施形態】図6は、本発明の第3実施形態に係るスペクトル拡散受信機10Bの概略構成を示す。

【0029】一時停止制御回路34Aは、信号S2を使用する必要がない場合には、スペクトル逆拡散回路20Bのクロックゲート回路232Aに対し停止要求信号RQE2のパルスを供給する。クロックゲート回路232Aは、停止要求信号RQE2のパルスにตอบสนองして、PN系列発生回路212へのクロックCLKGの供給を停止させ、内部のカウンタでクロックCLKのパルスを(N-1)個計数した後、クロックCLKGの供給を再開させる。クロックゲート回路232AはクロックCLKGの供給停止中に停止要求信号RQE2を受け付けず、又は、停止要求信号RQE2の時間間隔がPN系列の周期以上にされる。

【0030】本第3実施形態によれば、クロックCLKGの供給再開が自動的に行われるので、第1実施形態の場合よりも構成が簡単になる。

【第4実施形態】図12において、スペクトル拡散受信機10の移動に伴い、反射波SS2が直接波になり、直

10

20

30

40

50

接波SS1が反射波になる場合もある。

【0031】そこで、本発明の第4実施形態に係るスペクトル拡散受信機10Cでは、図7に示す如くスペクトル逆拡散回路20Cにおいて、PN系列発生回路211に対しクロックCLKを直接供給せずに、クロックゲート回路232と同一構成のクロックゲート回路231を介して供給している。クロックゲート回路231に対する制御は、クロックゲート回路232に対する制御と同様である。すなわち、停止／再開制御回路34Bは、信号S1を使用する必要がない場合には、クロックゲート回路231に対し停止要求信号RQE1のパルスを供給する。そして、信号S2の強さが設定値以下になった場合又は停止要求信号RQE1のパルスを供給してから設定時間経過したため信号S1の使用を再考慮する場合には、クロックゲート回路231に対し再開要求信号RQS1のパルスを供給する。

【0032】本発明の第4実施形態によれば、不必要時のクロック供給停止をPN系列発生回路211に対しても行うことができるので、第1実施形態の場合よりもスペクトル逆拡散回路20Cの消費電力を低減することができる。

【第5実施形態】図8は、本発明の第5実施形態に係るスペクトル逆拡散回路20Dを示す。

【0033】この回路は、図1のPN系列発生回路212、乗積回路222及びクロックゲート回路232の組をm組備えた構成になっている。すなわち、スペクトル拡散信号S0は、乗積回路221～22mの一方の入力端に供給され、乗積回路221～22mの他方の入力端にはそれぞれ、PN系列発生回路211～21mの出力が供給される。PN系列発生回路212～21mにはそれぞれ、クロックCLKがクロックゲート回路232～23mを介して供給される。クロックゲート回路232～23mにはそれぞれ、不図示の停止／再開制御回路34から(RQE2, RQS2)～(RQEm, RQSm)が供給される。

【0034】合成回路32Aは、乗積回路221～22mの出力が同相になるようにこれらを遅延させた後、加算してその結果を出力する。この回路の動作は、上記第1実施形態の説明から容易に理解できるので、その説明を省略する。

【第6実施形態】図9は、本発明の第6実施形態に係るスペクトル逆拡散回路20Eを示す。

【0035】この回路では、図8のPN系列発生回路211に対してもクロックCLKを直接供給せずに、クロックゲート回路231Aを介して供給している。クロックゲート回路231A～23mAはいずれも図6のクロックゲート回路232Aと同一構成である。また、 $i = 1 \sim m$ の任意の*i*について、第3実施形態の場合と同様に、信号Siを使用する必要がない場合にはクロックゲート回路23iAに対し停止要求信号RQEIのパルス

を供給する。PN系列発生回路211～21mの全てにクロックが供給されていない状態があってもよい。

【0036】この第6実施形態によれば、任意のPN系列発生回路から他の1以上の任意の組のクロックゲート回路へPN系列の位相に対応した値を供給する必要がないので、構成が簡単になる。なお、本発明には外にも種々の変形例が含まれる。例えば、図8に対応して、図7のスペクトル逆拡散回路20CについてもPN系列発生回路211、乗積回路221及びクロックゲート回路231の組を3以上備え、任意のPN系列発生回路から他の1以上の任意の組のクロックゲート回路へPN系列の位相に対応した値を供給するように構成してもよいことは勿論である。

【0037】また、第3実施形態において、クロックCLKGの供給再開は、クロックCLKのパルスを(NP-1)個計数した後であつてもよい。ここにPは、予め定められた又は設定可能な自然数である。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るスペクトル拡散受信機の概略構成を示すブロック図である。

【図2】図1中のクロックゲート回路の構成例を示すブロック図である。

【図3】図2中のゲーティッドクロック生成回路の構成例を示す論理回路図である。

【図4】図2及び図3の回路の動作を示すタイムチャートである。

【図5】本発明の第2実施形態のクロックゲート回路を示すブロック図である。

【図6】本発明の第3実施形態に係るスペクトル拡散受信機の概略構成を示すブロック図である。

【図7】本発明の第4実施形態に係るスペクトル拡散受信機の概略構成を示すブロック図である。

【図8】本発明の第5実施形態に係るスペクトル逆拡散回路を示すブロック図である。

【図9】本発明の第6実施形態に係るスペクトル逆拡散回路を示すブロック図である。

【図10】従来のスペクトル拡散受信機の概略構成を示すブロック図である。

【図11】(A)はPN系列発生回路を示す図であり、(B)はマッチドフィルタを示す回路図である。

【図12】マルチパス説明図である。

【符号の説明】

10、10A～10C スペクトル拡散受信機

20、20A～20E スペクトル逆拡散回路

211～21m PN系列発生回路

221～22m 乗積回路

231～23m、231A～23mA クロックゲート回路

30 同期確立回路

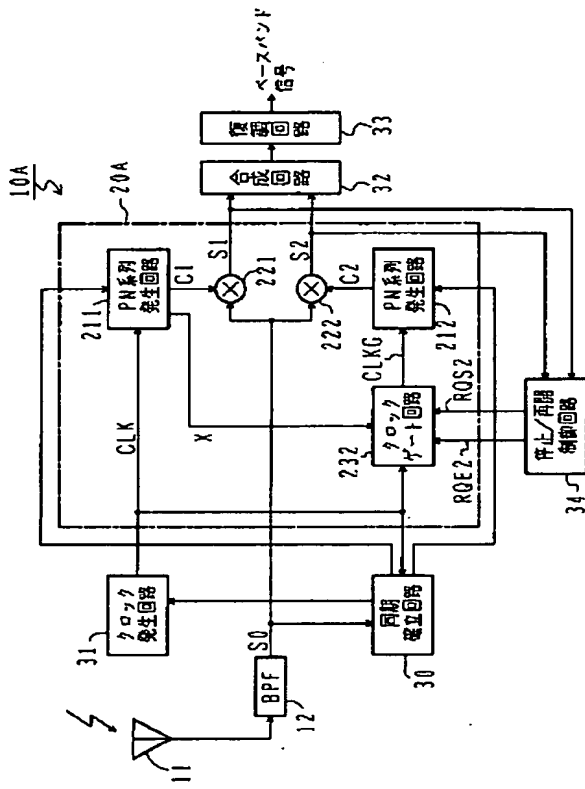
31 クロック発生回路

11

- 32、32A 合成回路  
 34、34B 停止／再開制御回路  
 34A 一時停止制御回路  
 40、433 同期化回路  
 41 レジスタ  
 42 一致検出回路  
 43 ゲーテッドクロック生成回路  
 431、435 アンドゲート

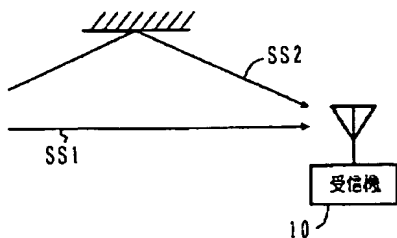
【図1】

本発明の第1実施形態に係るスペクトル拡散受信機の概略構成を示すブロック図



【図12】

マルチパス説明図

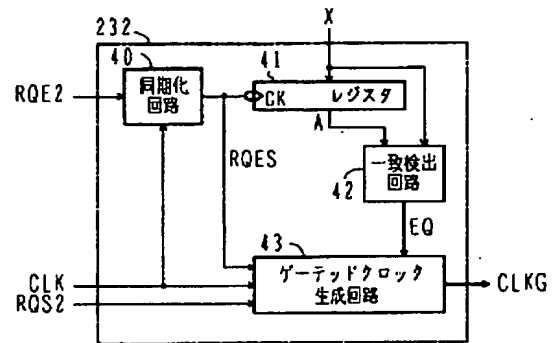


12

- 432、434 RSフリップフロップ回路  
 44 N進カウンタ  
 S0 スペクトル拡散信号  
 RQE1～RQEm、RQES 停止要求信号  
 RQS1～RQSm 再開要求信号  
 EQ 一致信号  
 GS ゲート信号

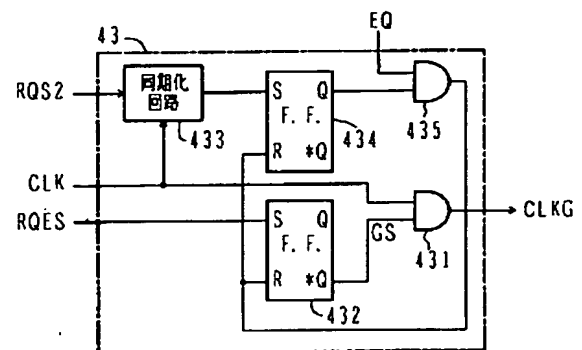
【図2】

図1中のクロックゲート回路の構成例を示すブロック図



【図3】

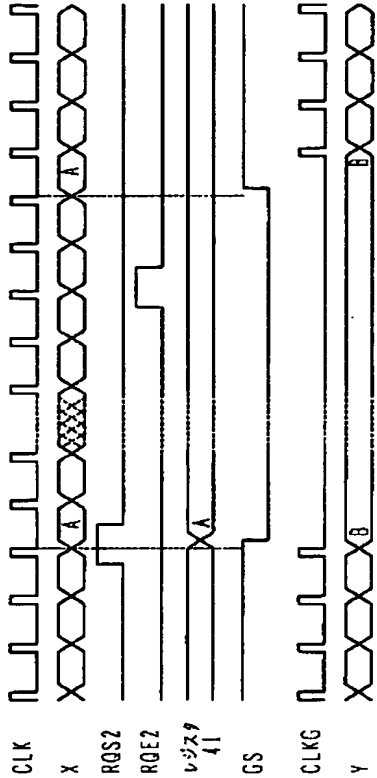
図2中のゲーテッドクロック生成回路の構成例を示す論理回路図





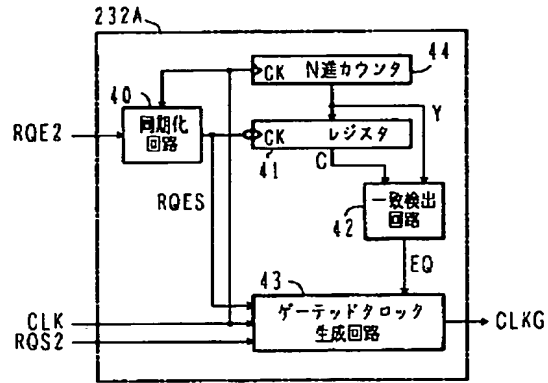
【図4】

図2及び図3の回路の動作を示すタイムチャート



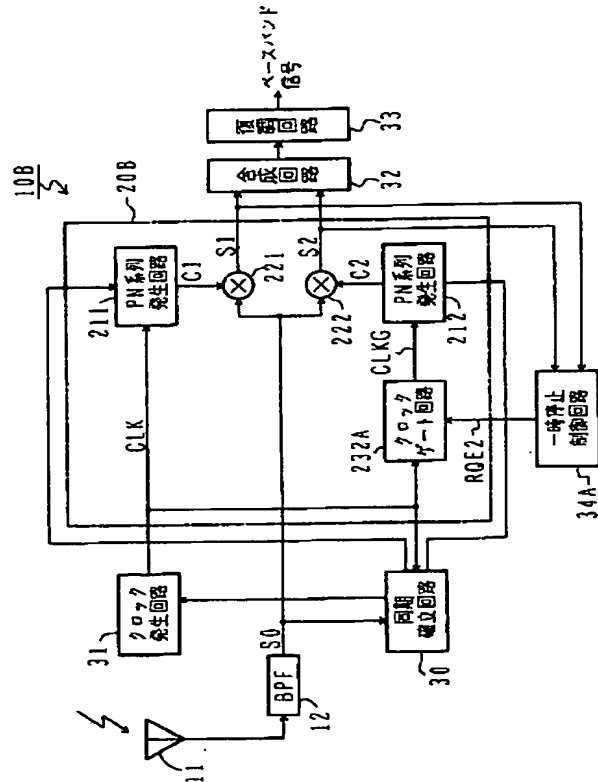
【図5】

本発明の第2実施形態のクロックゲート回路を示すブロック図



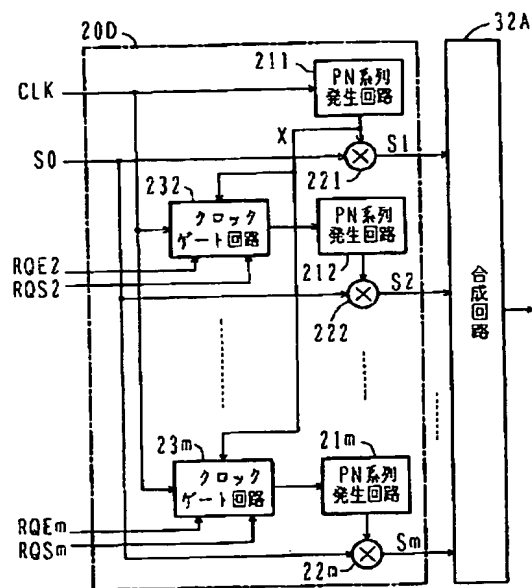
【図6】

本発明の第3実施形態に係るスペクトル拡散受信機の概略構成を示すブロック図



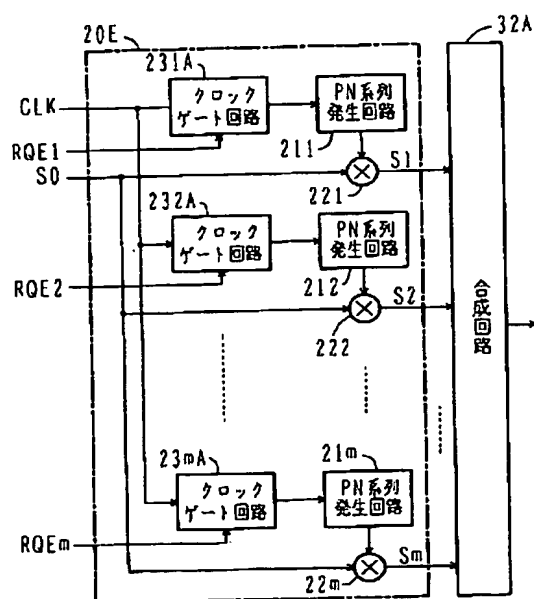
【图 8】

本発明の第5実施形態に係るスペクトル  
逆拡散回路を示すブロック図



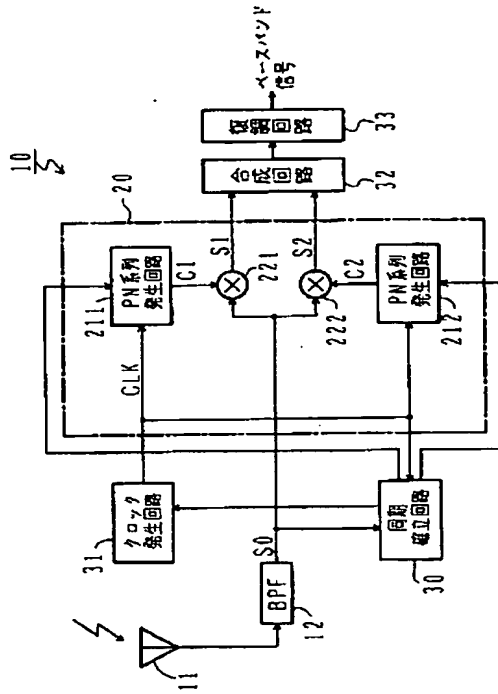
【图 9】

本発明の第6実施形態に係るスペクトル  
逆拡散回路を示すブロック図



【図10】

従来のスペクトル拡散受信機の概略構成を示すブロック図



【図11】

(A)はPN系列発生回路を示す図、  
(B)はマッチドフィルタを示す図

